

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

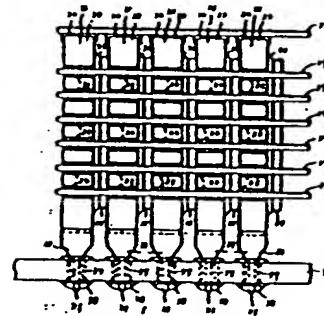
JA 0112348
JUL 1983

(54) SEMICONDUCTOR DEVICE

(11) 58-112348 (A) (43) 4.7.1983 (19) JP
 (21) Appl. No. 56-211715 (22) 25.12.1981
 (71) FUJITSU K.K. (72) NOBUHIKO MIZUO
 (51) Int. Cl. H01L 23/12, H01L 23/48

PURPOSE: To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

CONSTITUTION: In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available, as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-112348

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)7月4日

H 01 L 23/12

7357-5F

23/48

7357-5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭56-211715

⑯ 出 願 昭56(1981)12月25日

⑰ 発 明 者 水尾允彦

川崎市中原区上小田中1015番地

富士通株式会社内

⑱ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 松岡宏四郎

1. 発明の名称

2. 特許請求の範囲

半導体チップが、一外部表面にピン状の外部導電端子を有し、他の外部表面に指状の外部導電端子を有するチップ・キャリアに実装されてなることを特徴とする半導体装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に係り、特に半導体チップとして半導体メモリ素子がチップ・キャリアに実装された半導体装置に於ける外部導電端子の構造に関する。

(b) 技術的背景

計算機システム等の大規模化に伴い、計算機システムに搭載される半導体メモリ素子等の半導体装置の集成度 (I.C.) 素子は非常に増大となっており、このことはシステムの大規模化を促し、

それに伴ってシステム内の配線長が長くなり計算機速度の低下を招く。そこで、計算機システム等に対する半導体 I.C. 素子の実装密度を高めシステムの大規模化を促す手段として提供されたのが、チップ・キャリア実装構造の半導体 I.C. 装置である。

(c) 従来の技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。図1図はリードレス・チップ・キャリアに実装された半導体 I.C. 装置に於ける一例の断面図10及び底面図11を示したものである。そして図10に於て1はセリシノ層、2はセリシノ層、3は炭素に金 (Au) のめっき等が施されたチップ・スタンプ、4は炭素に Au のめっき等が施されている内部配線、5は内部配線からそれぞれ延出する Au のめっき等が施されている外部配線、6は外部配線がそれぞれ底面に延出する炭素に Au のめっき等が施された指状の外部端子、7はチップろう付け用ノライズ層、8は金質チップ、9は炭素 (Ag) 合金等のろう材、

10は半導体ICチップ、11はボンディング・ワイヤ、12はアルミニウム(Al)等のボンディング・ワイヤ、13は金(Au)/シリコン(81)層を示している。

このように製造を有する従来のチップ・キャリアに実装された半導体IC装置は、計算機システム等に搭載される配線基板に対して底面を下にして水平に(平面)実装される。その実装状態を示したのが図2図で、図中14は前記チップ・キャリア実装面の半導体IC装置、15はセラミックあるいはプラスチックにより形成された配線基板、16は配線パターン、6は前記外部導電端子、17は平坦等のろう材を覆っている。

上記のように従来のチップ・キャリア実装面の半導体IC装置に於ては配線基板に対して平面実装がなされるために、チップ・キャリアの平面状によって実装密度が制限され更に実装密度を高めることができなかった。

(4) 発明の目的

本発明は上記問題点に鑑み、配線基板に対して

チップ・キャリア23上に例えば金質チップ25が実装されている。また前記チップ・キャリア23に於けるピン状外部導電端子21は、通常前記の内部配線26からチップ・キャリア23の一面側に突出された外部配線27の上に銅/ニッケル合金等通常の導電材料からなる例えばピン状打抜き加工片がろう28等によりろう付けされて形成され、又前記外部導電端子22は内部配線26からチップ・キャリア23の他記以外の三側面に突出された外部配線27の上に金むっせ等が施されて形成される。そして半導体メモリ・チップ24は通常前記のチップ・サブージ29上に金/シリコン合金30等を介してろう付けされ、例えば半導体メモリ・チップ24のチップ・パッド端子等チップ固有の信号が読まれるパッド端子31とピン状外部導電端子に接続する内部配線26とがアルミニウム等のボンディング・ワイヤ31により接続される。又入出力端子、電極端子等メモリ・チップに対して共通に配線されるパッド端子31と前記外部導電端子22

の間に接続することが可能を製造を有するチップ・キャリア実装の半導体装置を提供し、実装密度を向上せしめることを目的とする。

(5) 発明の構成

本発明は半導体装置に於て、半導体チップが、一外部導電面にピン状の導電端子を有し他の外部導電面に被膜状の導電端子を有するチップ・キャリアに実装されてなることを特徴とする。

(6) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実施例について、図3図に示す上面図(1)、断面図(2)、A-A'矢視断面図(3)、下面図(4)、及び図(5)に示す実装方法に於ける一実施例の上面図(6)、他断面図(7)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば図3図(1)、(2)、(3)、(4)に示すよう、一面側に例えば2(本)のピン状外部導電端子21が配置され、他の三側面に所望数の被膜状外部導電端子22が配置されたセラミック・チップ・キャリア23内に半導体メモリ・チップ24が実装され、図ナ

に前記する内部配線26とがボンディング・ワイヤ32により接続される。本発明の構成に於ては、通常どのようにピン状外部導電端子21をチップ・キャリア端子等メモリ装置に固有な信号端子とし、被膜状外部導電端子22を入出力端子あるいは電極端子等メモリ装置に対する共通信号の端子とする。そして上記のように半導体メモリ・チップ24が実装されたチップ・キャリア23上面に形成されている通常前記の停止部33上に銅/鉛合金等のろう材34を介して金質チップ25が実装にろう付けされてをっている。

本発明の製造を有する半導体装置は該半導体装置に配置されたピン状外部導電端子を介して配線基板上に立てて実装することが出来る。

図4図は前記実施例に示した半導体メモリ装置の実装例を示したもので、図中21はピン状外部導電端子(固有信号端子)、22は被膜状外部導電端子(共通信号端子)、23はセラミック・チップ・キャリア、25は金質チップ、34はろう材、35は半導体メモリ装置、36は

ブ、26及び26bは1bは外部配線、28は銅・ニッケル合金、30は金/シリコン合金、32は銅、33は停止部、34はろう材、35は配線基板、36は平坦、39は導電層、

代理人 介定士

「我を有するは、
之に供し、其の
功を成すべし」

半導体チップが、電子を有し他の外部回路チップ・キャリアと作る。

2. 9 級線に於ける一異
 (上面図 H), 側面図 (I),
 後面図 (J), 及び異 4 図に
 対する上面図 (K), 側面
 図。

ノセリ強置江、例人江
下工ウ、一例西江例人
百子子 2 1 が配役され、
1 状外部導百子子 2 2 が
フ・ブ・ヤ・リ 2 3 門
2 4 が興儀され、即チ

がボンディング・ワ
シ。本発明の両面に於て
伏外部導電端子21をナ
ノメリ装置に固有な値の
電圧で22を出入力端子
ナノメリ装置に對する共通偏
上記のように平滑体ナ
メリたチップ・パッケージ23
を両面の割止線33上、
34を介して金属チップ
おれておつてゐる。

るや、導体表面は公平場体
外磁場電磁子を通じて配
るとかかてくる。

1K示した半導体メモリ素子、
、0で、图中2-1はピン状
7端子)、2-2は波源状外
端子)、2-3は、フ、
2-3は、素子、ア、
半導体メモリ素子、3-6は

[illegible]

3. 3は平田、3.9は導線と異な
 る。導線4.9は最も真鍮板を高くした真鍮列で、
 真鍮板の間に於ては、平導体ノモリ線3.8以上、
 下層で相互が接し合う状態で配線高3.6上に
 立てなければ、各平導体ノモリ線3.8のピン状
 の外導電端子2.1が配線高3.6に於ける所定ノ
 スルーホール3.7にさし込まれ平田付けされて固
 定される。そして各ノモリ線3.6に於ける共通
 導電端子である被覆状外導電端子2.2上には各
 ノモリそれぞれ導線3.9からなる一連の共通導電
 層が平田付けされる。

な上記異端例に於てはピン状外部導電端子を
 2〔本〕設けたが、該端子は必要に応じて何本も
 おしつかえなし。又該ピン状外部導電端子は棒状
 で一端がキャップ内に埋め込まれて形成されたも
 のでもよい。又キャップはセラミックスであつて
 もよい。更に又本発明は金属ベッナーツ、プラス
 チックベッナーツにも適用することができる。

プ、26、及び26bは内面配線、27、及び27
 bは外面配線、28は真ろう、29はチップ・ス
 ーク、30は金/シリコン合金、31、及び31
 bはリード端子、32はボンディングワイヤ、
 33は封止材、34はろう材、35は半導体ノモ
 ル素、36は配線基盤、37はスルーホール、
 38は半田、39は導通を示す。

代理人 介福士 松 岡 文雄

(4) 發明之效果

以上説明したように本機種の構造を有する半導
体装置は、配線基板上に立てて実装することがで
きる。そこで第4図に示すような配線基板上への
実装方法が可成りあり、図からも明らかなように
従来の平面実装構造に比べて実装密度を大幅に高
上せしめることができる。

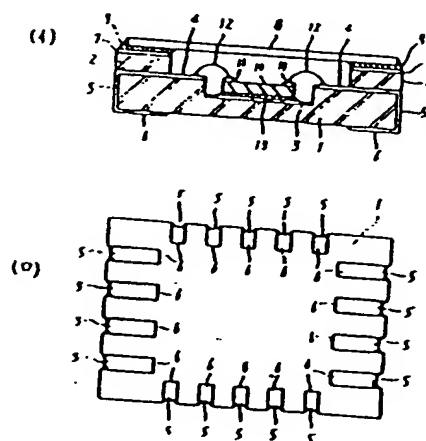
従つて本発明は計算機システム等の高速化、小型化に對して有効である。

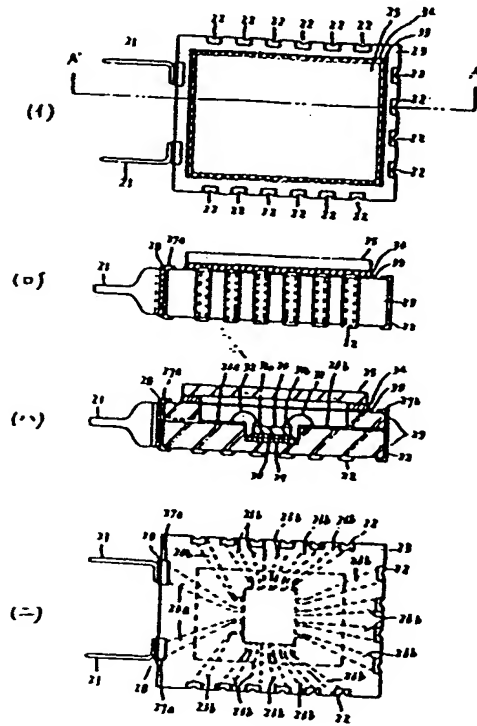
4. 図面の簡単な説明

第1圖は従来の製造の断面図及び下面図、第2圖は従来の改良製造の断面擴大図、第3圖は本発明の半導体装置に於ける一実施例の上面図、側面図、 $A-A'$ 矢視断面図、下面図、第4圖は本発明の半導体装置に於ける一実施例の上面図及び側面図である。

因此於て、2.1はピン状外部導電端子（固有信号端子）、2.2は板面状外部導電端子（共通信号端子）、2.3はセラミック・チップ・キャリア、2.4は半導体ノモリ・チップ、2.5は金属チップ

8 1 2





第 4 图

